

(19)



JAPANESE PATENT OFFICE

T1-13800 JP.3

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63310046 A

(43) Date of publication of application: 19 . 12 . 88

(51) Int. Cl

G06F 12/16

(21) Application number: 62146622

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 11 . 06 . 87

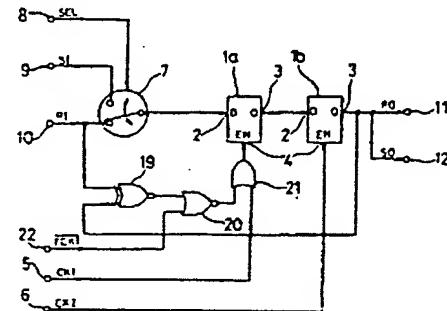
(72) Inventor: MAENO HIDESHI

(54) TEST AUXILIARY CIRCUIT.

(57) Abstract:

PURPOSE: To reduce serial shift operation required to read out response data of a circuit to be tested by latching data at an input terminal to a latch circuit only when the data at a parallel input terminal differs from expected value data.

CONSTITUTION: If data at a parallel input terminal 10 differs from expected value data stored in a latch circuit 1b, an output of an Ex NOR circuit 19 goes to a L level. When a negative clock is given to a test clock terminal 22, a positive clock is given to an output of a NOR circuit 20. When no clock is given to a clock terminal 5 in this case, the positive clock is fed to an enable terminal of a latch circuit 1a and the data at the input terminal 10 is latched in the latch circuit 1a. Since the serial shift operation is only implemented at the end of the expected value of consecutive 0s or 1s, the serial shift operation in testing the circuit to be tested is reduced.



COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報 (A)

昭63-310046

⑬ Int.Cl.

G 06 F 12/16

識別記号

330

庁内整理番号

A-7737-5B

⑭ 公開 昭和63年(1988)12月19日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 テスト補助回路

⑯ 特願 昭62-146622

⑰ 出願 昭62(1987)6月11日

⑱ 発明者 前野秀史 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・

エス・アイ研究所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 早瀬憲一

## 明細書

## 1. 発明の名称

テスト補助回路

## 2. 特許請求の範囲

(1) 様数のスキャンレジスタを直列に接続してスキャンバスを構成してなるテスト補助回路において、

上記スキャンレジスタが、

期待値データの保持を行なう第1のラッチ回路と、

パラレル入力を行なう第2のラッチ回路と、

パラレル入力端子のデータが上記第1のラッチ回路に保持された期待値データと異なる時に上記第2のラッチ回路に入力データをラッチさせるラッティネーブル手段とを備えたものであることを特徴とするテスト補助回路。

(2) 上記スキャンレジスタのパラレル入力端子はRAMのデータ出力端子に接続されたことを特徴とする特許請求の範囲第1項記載のテスト補助回路。

④ 上記ラッチ回路はレシオ型ラッチ回路であることと特徴とする特許請求の範囲第1項記載のテスト補助回路。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は半導体装置のテストを容易化するテスト補助回路に関するものである。

## (従来の技術)

従来の技術を説明するためにまず従来のスキャンバスを構成するスキャンレジスタを第6図及び第7図を用いて説明する。

第6図は2相クロックで動作する従来のスキャンレジスタを示す図であり、図において1a, 1bはラッチ回路、2はラッチ回路の入力端子、3はラッチ回路の出力端子、4はラッチ回路のインペーブル端子、5, 6はクロック端子、7はセレクタ回路、8はセレクタ制御端子、9はシリアル入力端子、10はパラレル入力端子、11はパラレル出力端子、12はシリアル出力端子である。

第6図において、セレクタ制御端子8を制御す

る事によりラッチ回路 1-a の入力はシリアル入力端子 9 又はパラレル入力端子 1-0 のどちらかを選択する事ができる。クロック端子 5 にクロックを与えると選択された入力のデータがラッチ回路 1-a にラッチされる。その後、クロック端子 6 にクロックを与えると選択された入力のデータがラッチ回路 1-b にラッチされ、パラレル出力端子 1-1 及びシリアル出力端子 1-2 に出力される。

以上のように、クロック端子 5, 6 に 2 相のクロックを与えることにより入力データを出力端子に伝えることができ 1 ビットのシフト動作を行なえる。

第 7 図は、第 6 図と同等の機能を MOS 回路で実現した例を示す図であり、図において 1-c, 1-d は NOT 回路 2 個で構成されたレシオ型ラッチ回路、1-3 は N チャネルトランジスタ、5-a はパラレル入力クロック端子、5-b はシリアル入力クロック端子であり、その他の符号は第 6 図と同一又は相当する部分を示す。

従来のスキャンバスを第 8 図及び第 9 図を用いて説明する。

第 8 図において 1-4 は第 6 図と同様のスキャンレジスタを示し、その他の符号は第 6 図と同一又は相当する部分を示す。第 8 図ではロジック回路のスキャンレジスタが直列に（シリアル出力端子が隣接するスキャンレジスタのシリアル入力端子に）接続されているものを示している。図においてクロック端子 5, 6 及びセレクタ制御端子 8 は各スキャンレジスタ 1-4 に対して共通に接続されている。

セレクタ端子 8 を制御し、スキャンレジスタ 1-4 の入力をシリアル入力端子側にし、クロック端子 5, 6 に 2 相クロックを与えるとシリアルシフト動作を行なう事ができる。また、セレクタ端子 8 を制御し、スキャンレジスタ 1-4 の入力をパラレル入力端子側にし、クロック端子 5, 6 に 2 相クロックを与えるとパラレルシフト動作を行なう事ができる。

通常、パラレル入力端子 1-0 及びパラレル出力端子 1-1 には被テスト回路が接続されており、シ

第 7 図において、パラレル入力クロック端子 5-a にクロックを与えるとパラレル入力端子 1-0 のデータがレシオ型ラッチ回路 1-c にラッチされ、逆にシリアル入力クロック端子 5-b にクロックを与えるとシリアル入力端子 9 のデータがレシオ型ラッチ回路 1-c にラッチされる。この動作は第 6 図におけるセレクタ制御信号 8 とクロック端子 5 の制御によるラッチ動作に相当し、選択された側の入力データをラッチすることができる。その後クロック端子 6 にクロックを与えるとレシオ型ラッチ回路 1-c にラッチされていたデータはレシオ型ラッチ回路 1-d にラッチされ、パラレル出力端子 1-1 及びシリアル出力端子 1-2 に出力される。

以上のように、クロック端子 5-a, 5-b 又は 5-b, 6 に 2 相のクロックを与える事により入力データを出力端子に伝えることができ 1 ビットのシフト動作を行なえる。

第 6 図や第 7 図に示したスキャンレジスタは 1 段以上直列に接続されスキャンバスを構成し、テスト補助回路として利用されている。

シリアルシフト動作によってシリアル入力端子 9 からテストデータをシフトインし、パラレル出力端子 1-1 を通じて被テスト回路に加えたり、パラレルシフト動作によって被テスト回路のテストデータに対する応答をスキャンバスに取り込みシリアルシフト動作によってシリアル出力端子 1-2 から読み出す事ができる。スキャンバスはロジック回路のデータをそのまま外部ピンに引き出す方式に比しテスト必要な外部ピン数を減らす事ができるので（図では、クロック端子 5, 6、セレクタ制御端子 8、シリアル入力端子 9、シリアル出力端子 1-2 の 5 ピンのみ）テスト補助回路として用いられている。

第 9 図は第 7 図と同様のスキャンレジスタを用いた場合のスキャンバス回路を示す図であり、同様の効果があるのでテスト補助回路として用いられている。図中 1-5 は第 7 図と同様のスキャンレジスタを示す。

第 10 図は例えば被テスト回路が RAM の場合の接続例を示す図であり、図において 1-7 は RA

M、18はRAMのデータ出力端子、16はスキャンレジスタであり第6図と同等のものでもよいし第7図と同等のものであってもよい。その他の符号は第8図又は第9図と同一又は相当する部分を示す。

RAMのテストを行なう場合、RAMの全アドレスに対し、データ0及び1の書込み、読み出しを行なうのが通常である。例えば全アドレスに対しデータ0を書込んだ後に全アドレスに対しデータの読み出しを行なう、次に全アドレスに対しデータ1を書込んだ後に全アドレスに対しデータの読み出しを行なう。

第10図ではデータの読み出し部分にスキャンバスを適用した例を示している。

RAMのデータ出力端子18から読み出されたデータはパラレル入力端子10からパラレルシフト動作によってスキャンバスに取込まれ、シリアルシフト動作によって1ビットずつシリアル出力端子12から読み出され、試験装置によって良否の判定が行なわれる。この動作は全アドレスに対して

行なわれる。

#### (発明が解決しようとする問題点)

従来のテスト補助回路は以上のように構成されているので、RAMのテスト時のように連続して0や1のデータが読み出されるような場合でも、1回の読み出しごとにシリアルシフト動作を行なう必要があり、データのビット数が多い場合(nが大きい場合)にはテスト時間が増大するという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、0や1のデータが連続して読み出されるような被テスト回路をテストする場合、シリアルシフト動作を減らし、テスト時間の増大を抑え、安価な半導体装置を得る事を目的とする。

#### (問題点を解決するための手段)

この発明に係るテスト補助回路は、スキャンレジスタがパラレル入力を行なう第2のラッチ回路以外の1つを期待値データの保持を行なう第1のラッチ回路と、パラレル入力を行なう第2のラッチ回路と、スキャンレジスタのパラレル入力端子

のデータと上記期待値データが異なる場合には上記パラレル入力を行なう第1のラッチ回路に入力端子のデータをラッチさせるラッチイネーブル手段とを備えたものである。

#### (作用)

この発明においては、スキャンレジスタを構成する複数個のラッチ回路の内、パラレル入力を行なうラッチ回路以外の1つを期待値データの保持に用い、スキャンレジスタのパラレル入力端子のデータとこの期待値データが異なる場合には上記パラレル入力を行なうラッチ回路に入力端子のデータをラッチさせる構成としたから、上記パラレル入力を行なうラッチ回路にも期待値データを保持させておけば、期待値データと異なるデータがパラレル入力端子に与えられた場合にパラレル入力を行なうラッチ回路の内容が反転するので、連続した0や1期待状態の最後でシリアルシフト動作を行なう事によって被テスト回路のテストが行なえる。

#### (発明の実施例)

以下この発明の一実施例を図について説明する。第1図及び第2図は本発明によるスキャンレジスタを示す図である。

第1図において19は排他的NOR(E<sub>x</sub>, NOR)回路、20はNOR回路、21はOR回路、22はテストクロック端子であり、その他の符号は第6図と同一又は相当する部分を示す。

また、第2図は同様の機能をMOS回路で構成したものと示す図であり、19はE<sub>x</sub>, NOR回路、20はNOR回路、22はテストクロック端子であり、その他の符号は第7図と同一又は相当する部分を示す。

次に動作について説明する。

第1図において、テストクロック端子22をハイレベルに固定すると、NOR回路の出力はロウレベルとなるのでOR回路21はクロック端子5のレベルをそのままラッチ回路1のイネーブル端子4に伝える。従ってこの場合は従来の第6図の回路と同様の動作を行なう事ができる。

被テスト回路の読み出しテスト時には、ラッチ回

路1a, 1bに期待値データをセットしておき、この状態でテストクロック端子22にクロック（図の回路では負のクロック）を与える事により、パラレル入力端子10のデータが期待値データと異なる時のみラッチ回路1aにパラレル入力端子のデータがラッチされるためにラッチ回路1aの内容は反転する。

詳しく説明すると、パラレル入力端子10のデータがラッチ回路1bの保持している期待値データと異なる場合、E<sub>x</sub>. NOR回路19の出力はロウレベルになる。この状態でテストクロック端子22に負のクロックを与えると、NOR回路20の出力には正のクロックが伝わる。この時クロック端子5にはクロックを与えない（ロウレベルで固定）と仮定するとNOR回路20の出力である正のクロックはOR回路21を通じてラッチ回路1aのイネーブル端子に加えられ、パラレル入力端子のデータはラッチ回路1aにラッチされる。ラッチ回路1aに期待値データをセットしておいたとすると、期待値データとは逆のデータがラッ

チされるので被テスト回路に故障があった事が記憶される。

次に第2回の回路における動作について説明する。

第2回において、テストクロック端子22をハイレベルに固定すると、NOR回路20の出力はロウレベルとなるので、これにより制御されるNチャネルトランジスタはOFF状態になり、従来の第7回の回路と同様の動作を行なうことができる。

被テスト回路の読み出しテスト時には、第1回の回路の場合と同様に、期待値データをレシオ型ラッチ回路1c, 1dにセットしておき、テストクロック端子22にクロック（図では負のクロック）を与える事により、パラレル入力端子10のデータが期待値データと異なる場合には、NOR回路20の出力で制御されるNチャネルトランジスタはON状態となり、レシオ型ラッチ回路1cにパラレル入力端子のデータがラッチされるためにラッチ回路1cの内容は反転する。

ただし、レシオ型ラッチは出力が反転しているためにラッチの保持している値としては、第2回のレシオ型ラッチ回路1cに関しては3つのNチャネルトランジスタが共通に接続されている側の値を用い、レシオ型ラッチ回路1dに関してはE<sub>x</sub>. NOR回路19の接続されている側の値を用いて考える必要がある。

第3回及び第4回はそれぞれ第1回及び第2回と同様のスキャンレジスタを直列に接続して構成したスキャンバスを示す図である。テストクロック端子22にクロックを与えない状態では従来の第8回及び第9回のスキャンバスと同様の動作を行なう事ができる。

また、スキャンバスに期待値データをセットしておき、テストクロックを与えると期待値データと異なるデータがパラレル入力端子に与えられたかどうかをラッチ回路の保持するデータが反転したかどうかによって知る事ができる。

この事は、例えば被テスト回路がRAMであって、特にそのRAMのデータ出力端子が本発明に

よるスキャンバスに接続されているような場合に顕著な効果がある。第5回はそのような場合を示したものであり、22はテストクロック端子、16aは本発明によるスキャンレジスタであり第1回と同様の回路でもよいし、第2回と同様の回路であってもよい。その他の符号は第10回と同一又は相当する部分を示す。

第5回において、RAM17のテスト時に従来例で説明したようにデータ出力端子18から連続的に1又は0のデータが読み出されるものとする。まず、その期待値データをシリアル入力端子9を通じてシリアルシフト動作でスキャンバスにセットする。その後、読み出しを行なう毎にテストクロック端子22にクロックを与える。この時、期待値データと異なる値がパラレル入力端子10に与えられれば（RAMが不良であれば）パラレル入力端子のデータを取り込む内部のラッチは反転する。RAMの全アドレスに対して読み出しを行ないながらテストクロック端子22にクロックを与えて、その後、ラッチが反転したかどうかを検出するため

にシリアルシフト動作でシリアル出力端子1・2からランチ内容の読み出しを行なえばよい。つまり1アドレス毎にRAMの出力データをシリアルシフト動作により読み出すという事が不要になる。

なお、上記実施例では、被テスト回路としてRAMを示したが、連続的に0や1のデータを出力する回路であれば、本発明を適用した場合の効果は大きい。

また、第2図の回路においては、Nチャネルトランジスタを用いたが、これはPチャネルトランジスタを用いても良く、更にレシオ型ラッチ回路の代わりに他の形式のラッチ回路を用いても良く、上記実施例と同様の効果を奏する。

#### 【発明の効果】

以上のように、この発明によれば、テスト補助回路を構成するスキャンレジスタが期待値データを保持する機能と、上記期待値データと異なるデータが与えられたかどうかを記憶する機能を有する構成としたから、被テスト回路のテスト時に該被テスト回路の応答データの読み出しに必要なシリ

アルシフト動作の回数を減らす事ができ、テストコストを低減し、安価な半導体装置が得られる効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるスキャンレジスタを示す図、第2図はこの発明の他の実施例によるスキャンレジスタを示す図、第3図は第1図の回路で構成したスキャンバスを示す図、第4図は第2図の回路で構成したスキャンバスを示す図、第5図は被テスト回路がRAMである場合の本発明によるスキャンバスの接続例を示す図、第6図は従来のスキャンレジスタを示す図、第7図は従来の他のスキャンレジスタを示す図、第8図は第6図の回路で構成した従来のスキャンバスを示す図、第9図は第7図の回路で構成した従来のスキャンバスを示す図、第10図は被テスト回路がRAMである場合の従来のスキャンバスの接続例を示す図である。

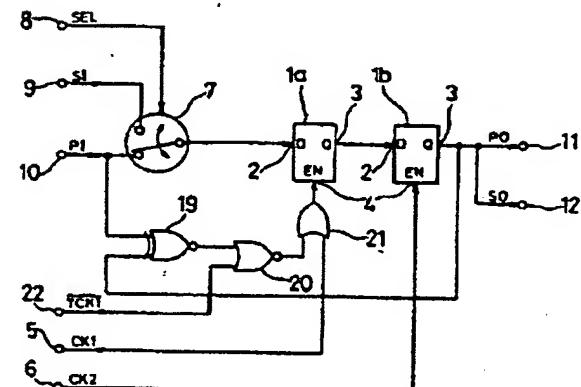
1a, 1bはラッチ回路、1c, 1dはレシオ型ラッチ回路、2, 3, 4はラッチ回路の入力。

出力、イネーブル端子、5, 6はクロック端子、5aはパラレル入力クロック端子、5bはシリアル入力クロック端子、7はセレクタ回路、8はセレクタ制御端子、9はシリアル入力端子、10はパラレル入力端子、11はパラレル出力端子、12はシリアル出力端子、13はNチャネルトランジスタ、17はRAM、18はRAMのデータ出力端子、19はEx-NOR回路、20はNOR回路、21はOR回路、22はテストクロック端子、14a, 15a, 16aは本発明によるスキャンレジスタ。

なお図中同一符号は同一又は相当部分を示す。

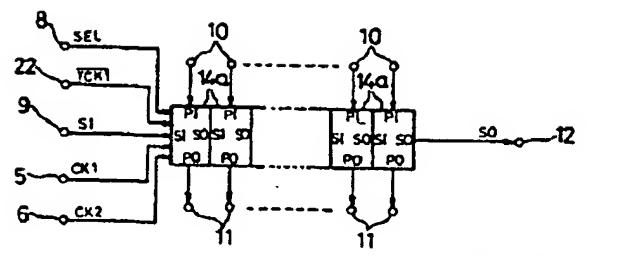
代理人 早瀬憲一

第1図



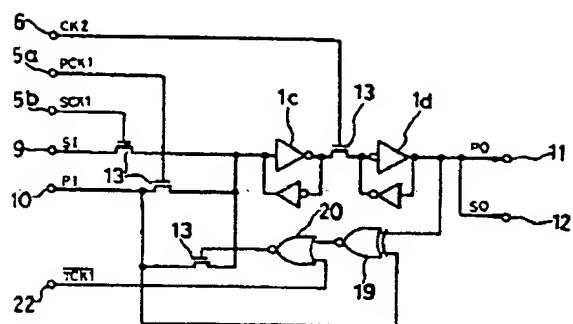
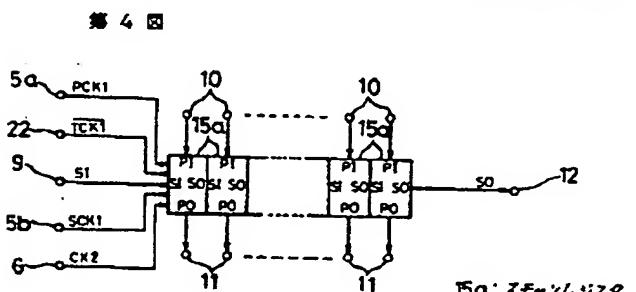
- |        |              |     |           |
|--------|--------------|-----|-----------|
| 1a, 1b | ラッチ回路        | 10: | パラレル入力端子  |
| 2      | ラッチ回路入力端子    | 11: | パラレル出力端子  |
| 3      | ラッチ回路出力端子    | 12: | シリアル出力端子  |
| 4      | ラッチ回路ノイズフリ端子 | 19: | Ex-NOR回路  |
| 5, 6   | クロック端子       | 20: | NOR回路     |
| 7      | セレクタ回路       | 21: | OR回路      |
| 8      | セレクタ制御回路     | 22: | テストクロック端子 |
| 9      | シリアル入力端子     |     |           |

第3図



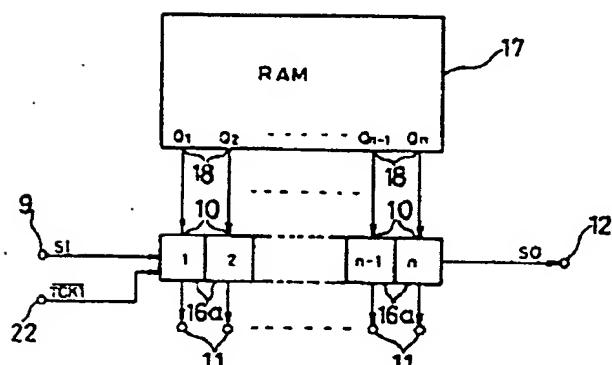
14a:シフターレジスタ

第2図

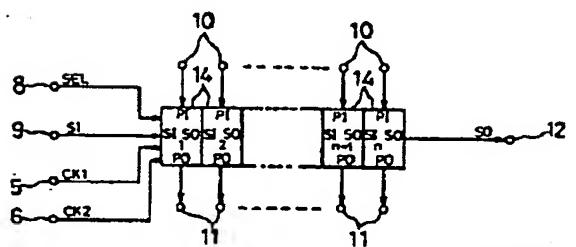
1c,1d:レシオ型ランチ回路  
13:Nチャネルトランジスタ

15a:シフターレジスタ

第5図

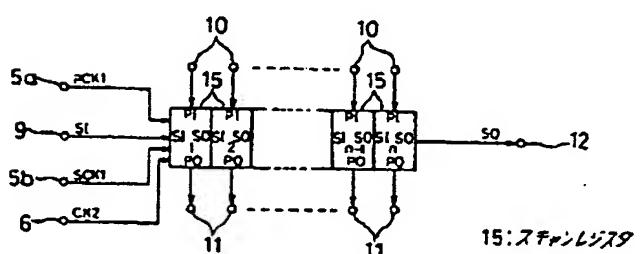
18:RAMのデータ出力端子  
16a:シフターレジスタ

第8図



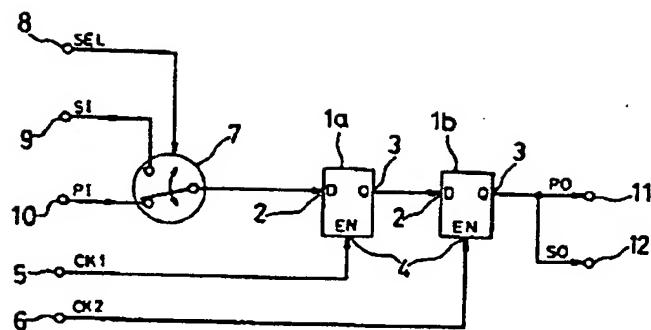
14:シフターレジスタ

第9図

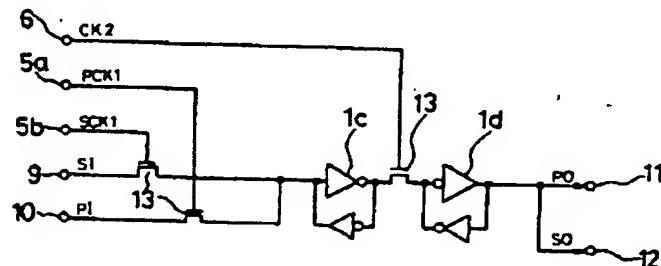


15:シフターレジスタ

第6図



第7図

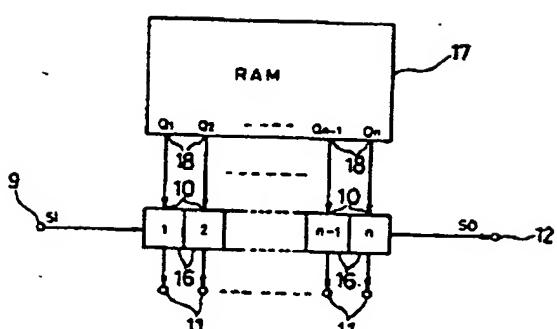


手続補正書(自発)

昭和63年9月1日  
通

特許庁長官印

第10図



## 1. 事件の表示

特願昭62-146622号

## 2. 発明の名称

テスト補助回路

## 3. 権正をする者

事件との関係 特許出願人

住所 東京都千代田区丸の内二丁目2番3号

名称 (601) 三菱電機株式会社

代表者 志岐守哉

## 4. 代理人 郵便番号 532

住所 大阪市淀川区宮原4丁目1番45号

新大阪八千代ビル

氏名 (8181)弁理士 早瀬五一

電話 06-391-4728

特許庁  
63.9.2  
出願第二種  
郵便

5. 標正の対象

明細書の発明の詳細な説明の欄

6. 標正の内容

- (1) 明細書第9頁第2行の「第1の」を「第2の」に訂正する。

以 上